

MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

Numéro de publication: JP7211876 (A)

Date de publication: 1995-08-11

Inventeur(s) AKINO YUTAKA +

Demandeur(s) CANON KK +

Classification:

- internationale **H01L21/20; H01L21/02; H01L27/12; H01L21/02; H01L27/12; (IPC1-7): H01L27/12; H01L21/20**

- européenne

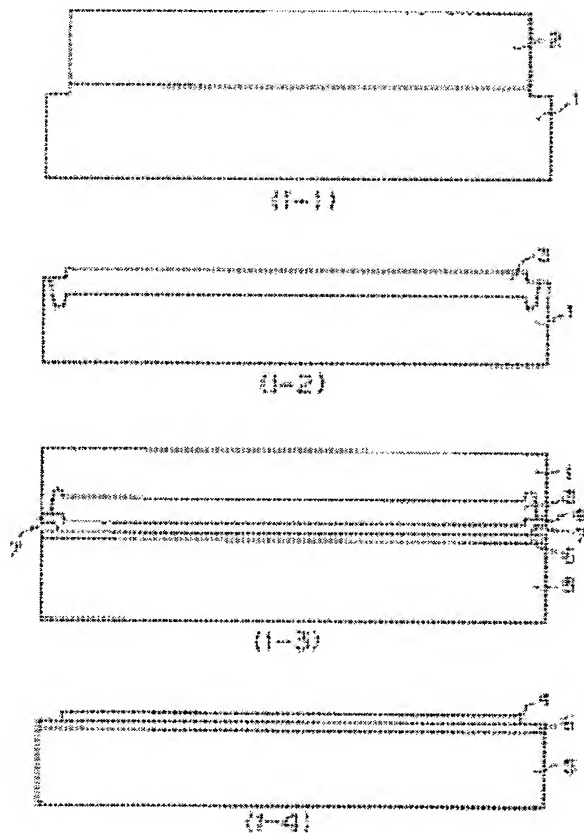
Numéro de demande JP19940005060 19940121

Numéro(s) de priorité: JP19940005060 19940121

Abrégé pour **JP 7211876 (A)**

PURPOSE: To improve the quality of the peripheral part of an SOI substrate, which is formed by sticking an epitaxial silicon layer of **CONSTITUTION:** A first substrate 1, wherein single-crystal silicon 4 is epitaxially grown on a porous silicon layer 3, is stuck on an insulator 6 of a second substrate 5.

Thereafter, the porous silicon layer 3 is removed, and an SOI substrate is formed. In this forming method, a step (1-1) for forming a step difference at the peripheral part of the first substrate 1 and/or the second substrate 5, is provided. Furthermore, a step (1-3) for sticking the first substrate 1 and the second substrate 5 and a step (1-4), which removes the single-crystal silicon layer 4 at the peripheral part of the substrate along non-bonded regions 7 and 7' formed by the step difference at the peripheral part of the stuck substrates, are provided.



Les données sont fournies par la banque de données **espacenet** — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-211876

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12	B	8418-4M		
21/20				

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平6-5060

(22)出願日 平成6年(1994)1月21日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 秋野 豊

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

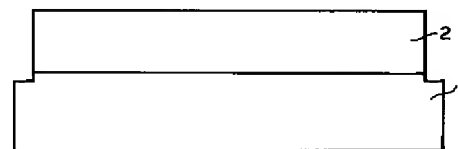
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 半導体基体の作成方法

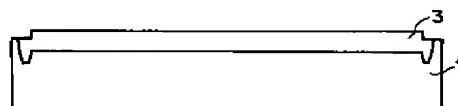
(57)【要約】

【目的】 多孔質シリコン上のエピタキシャルシリコン層を他の基板に貼り合わせて形成するS O I 基板の周辺部の品質を改善する。

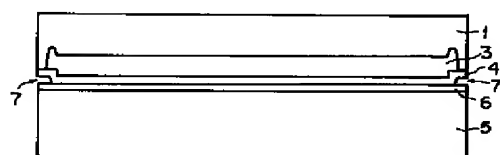
【構成】 多孔質シリコン層3上に単結晶シリコン4をエピタキシャル成長させた第1の基板1を、第2の基板5の絶縁体6上に貼り合わせた後、前記多孔質シリコン層3を除去して形成されるS O I 基板の作成方法において、前記第1の基板1及び／又は前記第2の基板5の周辺部に段差を形成する工程(1-1)と、前記第1の基板1と前記第2の基板5とを貼り合わせる工程(1-3)と、前記貼り合わせた基板の周辺部に前記段差により生じた非接着領域7、7'に沿って基板周辺部の前記単結晶シリコン層4を除去する工程(1-4)と、を有することを特徴とする半導体基体の作成方法。



(1-1)



(1-2)



(1-3)



(1-4)

【特許請求の範囲】

【請求項1】 多孔質シリコン層上に単結晶シリコンをエピタキシャル成長させた第1の基板を、第2の基板の絶縁体上に貼り合わせた後、前記多孔質シリコン層を除去して形成されるSOI基体の作成方法において、前記第1の基板及び／又は前記第2の基板の周辺部に段差を形成する工程と、前記第1の基板と前記第2の基板とを前記段差を形成した側の面を向かい合わせて貼り合わせる工程と、前記貼り合わせた基板の周辺部に前記段差により生じた非接着領域に沿って前記基板周辺部の前記単結晶シリコン層を除去する工程と、を有することを特徴とする半導体基体の作成方法。

【請求項2】 前記段差は、前記第1の基板又は前記第2の基板の周辺部1mm以上に段差を0.5 μ m以上設けることを特徴とする請求項1に記載の半導体基体の作成方法。

【請求項3】 前記段差は、前記基板の周辺部1mm以上に、前記第1の基板及び前記第2の基板の段差の合計が0.5 μ m以上になるように設けることを特徴とする請求項1に記載の半導体基体の作成方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、半導体基体の作成方法に関し、特に絶縁体上にシリコンウェハを貼り合わせる方法によって形成されるSOI(Silicon On Insulator)基体の作成方法に関するものである。

【0002】

【従来の技術】従来、2枚のシリコンウェハを絶縁体を介して貼り合わせた後、一方のシリコンを薄膜化してSOI基体を形成する方法がいくつか提案されている。

【0003】また、貼り合わせた後、機械研磨によってシリコンを薄膜化する方法や、基板に添加されている不純物の種類や濃度差を利用してエッチングにより薄膜化する方法が一般的に良く知られている。

【0004】また、多孔質シリコン上にエピタキシャルシリコン層を成長させ、多孔質シリコンとエピタキシャルシリコンのエッチング速度の差を利用してエピタキシャル層を残す方法も検討されてきている。特に多孔質シリコンのエピタキシャルシリコンのエッチング速度の差が10万倍以上もあるため薄膜エピタキシャルシリコンのSOI基板を作成するのに最も適した方法とされている。

【0005】

【発明が解決しようとしている課題】前述した従来例では、多孔質シリコン上にシリコンをエピタキシャル成長させた後、絶縁層を介して貼り合わせてSOI基板を作る方法において、エピタキシャル層と多孔質シリコン層のエッチング速度差を利用してエッチングを止めるた

め、多孔質シリコン層がウェハ表面全域に渡って形成されなくてはならない。

【0006】ところが、シリコンの多孔質化は、フッ化水素酸溶液中での陽極化成法で形成することが一般に行われているが、この手法を用いると、ウェハ表面を全て多孔質化することが難しく、周辺部に多孔質化されない基板シリコン部が残ってしまう。

【0007】陽極化成時に、電極の分離を確実に行うようにするためには、ウェハ周辺のエッジ部をシールすることにより+側と一側の極を分離することが必要となるため、このシール材により、周辺部の基板シリコンは多孔質化されず残ってしまう。

【0008】ウェハの裏面のみ一部シールすることでも電極の分離は可能であるが、ウェハ表面から裏面の一部の溶液の電位が等しいとその部分の多孔質シリコン膜厚が大きく異なってしまう。

【0009】また、ウェハの加工寸法精度を考えると、周辺のエッジ部分を効率良くシールすることは難しく、また作業性も悪い。ウェハ周辺のシールが不完全だとそこで電流がリークすることにより、リークした周辺が多孔質化されず、基板シリコンのまま残る。

【0010】また、ウェハ表面の一部をシール材でシールすることにより、+側、一側の電解質溶液の分離をより確実に簡単に行うことができるようになる。しかしながら、シールした部分は陽極化成反応が行われなため、その部分のシリコンが多孔質化されない。

【0011】このようにして主に基板周辺部に残ったシリコンは、貼り合わせ後の多孔質シリコン除去のための選択エッチングでは除去しきれないため、エピタキシャル層表面に残ってしまいSOI基板の周辺部の品質を低下させるという大きな問題点となる。

【0012】[発明の目的]本発明の目的は、陽極化成により形成した多孔質シリコン上に形成したシリコンエピタキシャル層を有する基板を、絶縁層を介して他の基板に貼り合わせてSOI基板を作る方法において、貼り合わせた基板の周辺部の品質を改善した作成方法を提供することにある。

【0013】

【課題を解決するための手段】本発明は、前述した課題を解決するための手段として、多孔質シリコン層上に単結晶シリコンをエピタキシャル成長させた第1の基板を、第2の基板の絶縁体上に貼り合わせた後、前記多孔質シリコン層を除去して形成されるSOI基体の作成方法において、前記第1の基板及び／又は前記第2の基板の周辺部に段差を形成する工程と、前記第1の基板と前記第2の基板とを前記段差を形成した側の面を向かい合わせて貼り合わせる工程と、前記貼り合わせた基板の前記段差部により生じた前記基板周辺部の非接着領域に沿って基板周辺部の前記単結晶シリコン層を除去する工程と、を有することを特徴とする半導体基体の作成方法を

提供するものである。

【0014】また、前記段差は、前記第1の基板又は前記第2の基板の周辺部1mm以上に段差を0.5 μ m以上設けることを特徴とする半導体基体の作成方法でもある。

【0015】また、前記段差は、前記基板の周辺部1mm以上に、前記第1の基板及び前記第2の基板の段差の合計が0.5 μ m以上になるように設けることを特徴とする半導体基体の作成方法でもある。

【0016】

【作用】本発明によれば、周辺部に段差部を設けた基板を貼り合わせるにより、貼り合わせ基板周辺部に非接着領域を生じさせることができる。そこで、この非接着領域の単結晶シリコン層を基板周辺部に沿って多孔質シリコン層とともに除去することにより、陽極化成時に基板周辺部のシール材等により多孔質化されずに残った周辺部の基板シリコンを確実に除去することができる。このため、周辺部の単結晶シリコン層上に基板シリコンの一部が残ってしまうという従来の問題を解決することができ、周辺部まで均一な単結晶シリコン層を有するSOI基板を形成することができる。

【0017】また、前記段差は、基板周辺部1mm以上に設け、かつ貼り合わせる基板の一方に段差を形成する場合は0.5 μ m以上の段差を設け、また、両方の基板に段差を設ける場合は、両方の段差の合計が0.5 μ m以上となるように形成することが好ましく、これにより、周辺部のみを確実に除去することができる。

【0018】

【実施例】

〔実施例1〕図1は、本発明によるSOI基板の作成方法の実施例1を示す工程断面図である。

【0019】基板1としては、P型(100)の比抵抗0.01 Ω cmのシリコンウェハ1を使用し、シリコンウェハ1にホトレジスト2を塗布し、ウェハ周辺を5mmホトリソグラフィの技術を用いて除去した。その後プラズマエッチング技術によりシリコンウェハ1の周辺部を3 μ mエッチングして段差部を形成した(図1-1)。

【0020】次にホトレジスト2を除去し、基板を洗浄した後、陽極化成を行った。陽極化成液は49%フッ化水素酸溶液とエチルアルコール溶液を1:1の割合で混合した。この陽極化成時には基板の表面側周辺3mm領域はシール材が覆っており、多孔質化の反応は進まない。このウェハを溶液中で14分間、電流密度10mA/cm²で陽極化成反応を行った。多孔質化されたシリコン層3の厚みは15 μ mであった。またシールされた周辺3mmの領域では、多孔質化の反応は進まなかった(図1-2)。

【0021】次に、酸素雰囲気中で400℃、60分間の熱処理を行い多孔質シリコン層の表面を安定化させた。

その後多孔質シリコン3及び多孔質化されていないシリコンウェハ1上にシリコンのエピタキシャル成長を行い1 μ mのエピタキシャル層4を形成した。このエピタキシャル層4の結晶の品質を調べるためにSeccoエッチング等の結晶欠陥の評価を行ったが、欠陥は観察されなかった。

【0022】次に、転写されるエピタキシャル層4を支持するための他の基板5を熱酸化し、5000オングストロームのシリコン酸化膜6を形成した。そして2枚のウェハを貼り合わせた後1100℃、1時間の熱処理を行って接着した。7、7'は本発明の特徴となる非接着領域である(図1-3)。

【0023】貼り合わせた2枚のウェハのシリコン基板1を多孔質シリコン3の上に5 μ m残るところまでウェハ研削機で削り取った。その際に非接着領域7及び7'上のシリコンウェハ1は削り取られてしまった。

【0024】その後、フッ化水素酸溶液、硝酸溶液、酢酸溶液(1:10:10)の混合液で残ったシリコンウェハ1をエッチング除去した。多孔質シリコン3のエッチング速度は、シリコンウェハ1のエッチング速度の約2倍であったが、多孔質シリコン層3の膜厚が15 μ mと厚いため、下地のエピタキシャルシリコン層4にダメージを与えることなくシリコンウェハ1を全て除去することができた。

【0025】次に、フッ化水素酸溶液と過酸化水素水溶液(1:5)の混合液を用い、外部から超音波を与えて多孔質シリコン3をエッチングした。この溶液での多孔質シリコン3とエピタキシャルシリコン層4のエッチング速度差は約10万倍程度あり、エピタキシャルシリコン層4にダメージを与えることなく多孔質シリコン3をエッチングでき、均一なエピタキシャルシリコン層4を持つSOI基板を作ることができた(図1-4)。

【0026】本実施例では、非接着領域を得るために多孔質層を形成する方の基板の周囲に3 μ mのエッチングを行って段差部を形成した。ウェハ周辺の段差により非接着領域の大きさは変わる。3 μ mの段差を付けた場合は1cm以上離れた所も接着されなかったが、同様の手法で0.5 μ mの段差を設けた場合は、非接着領域は段差の端から約1mm領域であり、それ以上離れた場所では2枚のウェハは接着した。

【0027】また本実施例ではシリコン基板をエッチングして段差部を形成してから多孔質化を行ったが、多孔質化を先に行った後に周辺部をエッチングして段差部を形成しても良いし、エピタキシャル成長を行った後に周辺部を除去しても同様の段差部を形成することができ、同様の効果が得られる。

【0028】〔実施例2〕図2は、本発明の実施例2を説明するための工程断面図である。

【0029】図2において、まず、P(100)比抵抗0.01 Ω cmのシリコンウェハ10を洗浄し、フッ化

水素酸溶液とエチルアルコール溶液（体積比1対1）の混合溶液中で電流密度 $10\text{mA}/\text{cm}^2$ で14分間陽極化成反応を行い、多孔質シリコン層13を $15\mu\text{m}$ 形成した。陽極化成装置において、シリコンウェハ10の反応面の周辺部3mmはシール材で覆われているため多孔質化されなかった（図2-1）。

【0030】貼り合わせSOI基板となる他のウェハ15に対して、ホトリソグラフィの技術を用いて基板周辺部5mmの領域を $3\mu\text{m}$ の深さで除去することにより段差部を形成した。

【0031】その後、基板15に対して5000オングストロームの酸化を行い、絶縁層16を形成した。

【0032】前述した一方の基板の多孔質化したP型シリコンウェハ13上にエピタキシャル層14を $1\mu\text{m}$ 成長させた後、2枚のウェハを貼り合わせた。図中17、17'は本発明の特徴となる非接着領域である（図2-2）。

【0033】その後、P型ウェハ10を $20\mu\text{m}$ の厚さが残るようにウェハ研削機で削り取った。その時に非接着領域17及び17'は剥れてしまった。その後フッ化水素酸、硝酸、酢酸の混合液（体積比1:10:10）の混合液でシリコンウェハ10をエッチング除去し、更にフッ化水素酸と過酸化水素水溶液（体積比1:5）の混合液で超音波を印加しながらエッチングを行い多孔質シリコン層13をエッチング除去した。こうして $1\mu\text{m}$ 厚のエピタキシャル層14を5000オングストロームの酸化膜16上に形成したSOI基板を形成した（図2-3）。

【0034】本実施例は、シリコンウェハ同士を酸化膜を介して貼り合わせたが、絶縁層は絶縁体であれば種類は問題でなくSiN膜等でもかまわない。またSOI基

板の基体となる基板はシリコンウェハでなく石英基板等でも可能である。

【0035】

【発明の効果】以上説明したように、2枚の基板を貼り合わせ、多孔質シリコンと非多孔質シリコンのエッチング速度差を利用して、均一なエピタキシャルシリコン層を持つSOI基板の作成方法において、2枚の基板のどちらか又は両方の周辺部に段差部を設けることにより、貼り合わせた際に周辺部に非接着領域を形成し、品質の不安定な周辺部を非接着領域ごと除去することにより、周辺部まで均一で高品質なSOI基板を形成することができるようになるという効果が得られる。

【0036】また、前記段差は、基板周辺部1mm以上に設け、かつ貼り合わせる基板の一方に段差を形成する場合は $0.5\mu\text{m}$ 以上の段差を設け、また、両方の基板に段差を設ける場合は、両方の段差の合計が $0.5\mu\text{m}$ 以上となるように形成することが好ましく、これにより周辺部の品質の良くない部分のみを除去できる効果が得られる。

【図面の簡単な説明】

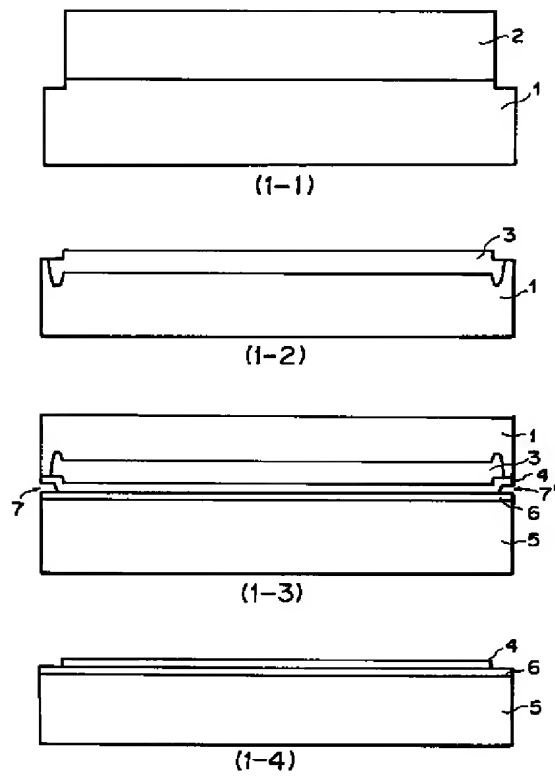
【図1】本発明の実施例1の模式的工程断面図である。

【図2】本発明の実施例2の模式的工程断面図である。

【符号の説明】

- 1, 11 P型シリコン基板
- 2 ホトレジスト
- 3, 13 多孔質シリコン層
- 4, 14 エピタキシャルシリコン層
- 5, 15 SOI基板
- 6, 16 絶縁膜
- 7, 7', 17, 17' 非接着領域

【図1】



【図2】

